



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

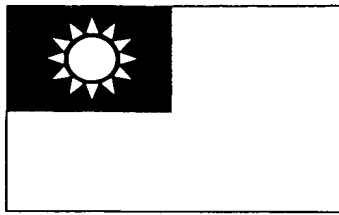
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
091124837	Taiwan R.O.C	10/24/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 24 日
Application Date

申請案號：091124837
Application No.

申請人：奇美電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 13 日
Issue Date

發文字號：09221148830
Serial No.

申請日期：

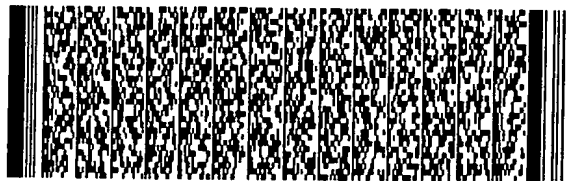
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	液晶顯示器之驅動電路
	英文	DRIVING CIRCUIT OF A LIQUID CRYSTAL DISPLAY DEVICE
二、 發明人	姓名 (中文)	1. 吳永良 2. 李欣達 3. 林文傑
	姓名 (英文)	1. Wu, Yuan-Liang 2. Lee, Hsin-Ta 3. Lin, Wen-Chieh
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台南縣台南科學工業園區新市鄉奇業路一號 2. 台南縣台南科學工業園區新市鄉奇業路一號 3. 台南縣台南科學工業園區新市鄉奇業路一號
三、 申請人	姓名 (名稱) (中文)	1. 奇美電子股份有限公司
	姓名 (名稱) (英文)	1. Chi Mei Optoelectronics Corporation
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台南縣台南科學工業園區新市鄉奇業路一號
	代表人 姓名 (中文)	1. 許文龍
	代表人 姓名 (英文)	1. Hsu, Wen-Lung

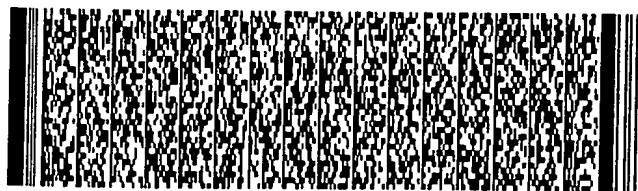


四、中文發明摘要 (發明之名稱：液晶顯示器之驅動電路)

本發明提供一種液晶顯示器之驅動電路，其包含有一基板、至少二個驅動積體電路晶片(driver IC chip)設於該基板上、以及一阻抗元件(impedance device)，且該阻抗元件係電連接於該等驅動積體電路晶片之間，用來降低各該驅動積體電路晶片之輸入電壓(input voltage)的差值。

英文發明摘要 (發明之名稱：DRIVING CIRCUIT OF A LIQUID CRYSTAL DISPLAY DEVICE)

A driving circuit of a liquid crystal display device includes a substrate, at least two driver IC chips located on the substrate, and an impedance device electrically connected between the two driver IC chips for reducing a voltage difference between the input voltages of the two driver IC chips.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

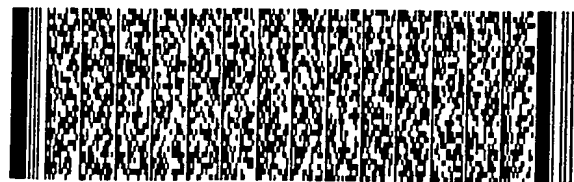
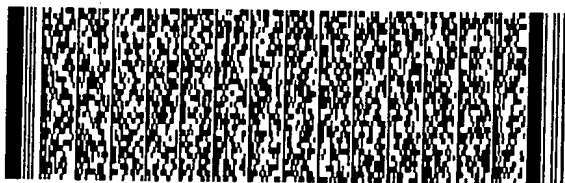
發明之領域

本發明係關於一種液晶顯示器之驅動電路，特別是一種可降低各驅動積體電路晶片之輸入電壓的差值之驅動電路。

背景說明

薄膜電晶體液晶顯示面板主要是利用成矩陣狀排列的薄膜電晶體，配合適當的電容、轉接墊等電子元件來驅動液晶像素，以產生豐富亮麗的圖形。由於薄膜電晶體液晶顯示面板具有外型輕薄、耗電量少以及無輻射污染等特性，因此被廣泛地應用在筆記型電腦 (notebook)、個人數位助理 (PDA) 等攜帶式資訊產品上，甚至已有逐漸取代傳統桌上型電腦之 CRT 監視器的趨勢。

一般而言，薄膜電晶體液晶顯示面板包含有一具有彩色濾光鏡 (color filter) 的上基板、一下基板以及填充於該上基板與該下基板之間的液晶材料。該下基板上具有複數條相互垂直交錯的掃描線 (scan or gate line) 以及訊號線 (data or signal line)，且各該掃描線與各該訊號線的交會處均設置有至少一薄膜電晶體，用來作為一像素 (pixel) 之開關元件 (switch device)。

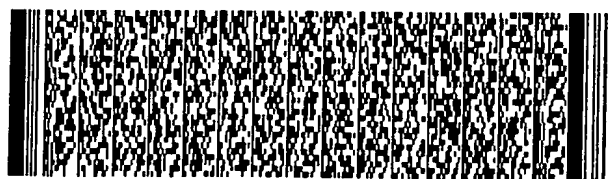
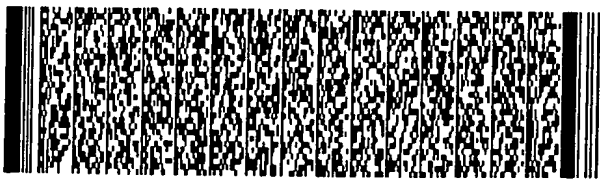


五、發明說明 (2)

請參考圖一，圖一係為一液晶顯示面板的結構示意圖。如圖一所示，一液晶顯示面板 10 包含有一基板 12 與一 X 軸印刷電路基板 (X-board) 14，而 X 軸印刷電路基板 14 係用來輸出訊號至基板 12 上，以使液晶顯示面板 10 顯示畫面。此外，液晶顯示面板 10 另包含有複數個捲帶式封裝體 (tape carrier package, TCP) 16，用來電連接 X 軸印刷電路基板 14 與基板 12，且每一個捲帶式封裝體 16 上均封裝有一驅動積體電路晶片 (未顯示)。

基板 12 上設有複數條掃描線 $S_1 \sim S_m$ 以及複數條訊號線 $D_1 \sim D_n$ ，且各個掃描線 $S_1 \sim S_m$ 與各個訊號線 $D_1 \sim D_n$ 均係垂直相交，以用來於基板 12 上的一主動區域 18 內定義出複數個呈矩陣排列的像素 (未顯示)。此外，基板 12 另包含有一端子壓著區 (outer lead bonding region, OLB) 20 以及一驅動電路 22 設於端子壓著區 20 內，而驅動電路 22 則包含有驅動積體電路晶片 22a、22b 與 22c，用來輸出開關/定址訊號至各掃描線 $S_1 \sim S_m$ ，而前述之各捲帶式封裝體 16 內的積體電路晶片則是用來輸出影像資料訊號至各訊號線 $D_1 \sim D_n$ 。

其中，驅動積體電路晶片 22a、22b 與 22c 是利用玻璃覆晶封裝 (chip-on-glass, COG) 技術，直接設置於基板 12 的表面上。而驅動電路 22 內另包含有複數條導線 24，用來電連接各驅動積體電路晶片 22a、22b 與 22c，且各導線 24 係直接製作於基板 12 表面，以降低製造成本，而此種設計



五、發明說明 (3)

稱為 WOA(wiring on array)設計。此外，請參考圖二，圖二係為驅動電路 22 的等效電路圖，如圖二所示，等效電路 30 包含有驅動積體電路晶片 22a、22b 與 22c、以及電阻器(resistor) 32a 與 32b，其中電阻器 32a 係連接於驅動積體電路晶片 22a 與 22b 之間，且對應於圖一所示之驅動積體電路晶片 22a 與 22b 之間的各導線 24，相同地，電阻器 32b 係連接於驅動積體電路晶片 22b 與 22c 之間，並對應於圖一所示之驅動積體電路晶片 22b 與 22c 之間的各導線 24。

當液晶顯示面板 10 進行一顯示操作時，如圖一所示，一控制訊號 28 的驅動電壓自 X 軸印刷電路基板 14 輸出，並經過捲帶式封裝體 16 與各導線 24 之後，再輸入各個驅動積體電路晶片 22a、22b 與 22c，最後再由各個驅動積體電路晶片 22a、22b 與 22c 將開關/定址訊號輸出至各掃描線 $S_1 \sim S_n$ 。然而，由於導線 24 具有相當大的電阻值，因此當控制訊號 28 的驅動電壓輸入各個驅動積體電路晶片 22a、22b 與 22c 時，各個驅動積體電路晶片 22a、22b 與 22c 之輸入電壓會隨其所在位置之不同而存在有不同程度之壓降(voltage drop)現象。一般而言，目前業界係增加各導線 24 的寬度或厚度，以減少各導線 24 的電阻值。

然而，由於各掃描線 $S_1 \sim S_n$ 與各訊號線 $D_1 \sim D_n$ 皆為導電性材料所構成，且各掃描線 $S_1 \sim S_n$ 與各訊號線 $D_1 \sim D_n$ 之間均設有絕緣層，因此各掃描線 $S_1 \sim S_n$ 與各訊號線 $D_1 \sim D_n$ 的重疊部份 26



五、發明說明 (4)

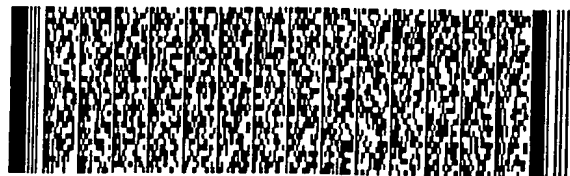
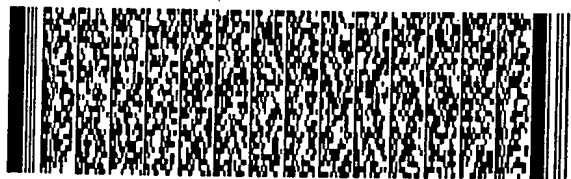
便會形成寄生電容。因此，當各訊號線 $D_1 \sim D_n$ 上的輸入電壓產生變化時，各訊號線 $D_1 \sim D_n$ 上的電壓變化將會經由各重疊部份 26 的寄生電容耦合至各掃描線 $S_1 \sim S_n$ 上，因而對控制訊號 28 產生干擾，而使控制訊號 28 的電流 (I) 對應時間 (t) 而同時具有直流 (direct current, DC) 與交流 (alternative current, AC) 的現象 (如圖三所示)，而此種情形將會使驅動積體電路晶片 22a、22b 與 22c 在驅動液晶顯示面板 10 時，使液晶顯示面板 10 上出現顏色不均的情形，因而降低整個畫面的顯示品質。

發明概述

本發明的目的是提供一種可降低各驅動積體電路晶片之輸入電壓的差值之驅動電路，以解決前述問題。

依據本發明之目的，本發明之較佳實施例係提供一種液晶顯示器之驅動電路，其包含有一基板、至少二個驅動積體電路晶片設於該基板上、以及一阻抗元件，該阻抗元件係電連接於該等驅動積體電路晶片之間，用來降低各該驅動積體電路晶片之輸入電壓的差值。

由於本發明係利用一阻抗元件電連接於各該驅動積體電路晶片之間，故當各該訊號線上的電壓發生不預期變化變化而使控制訊號的電流產生類似交流的情形時，本發明



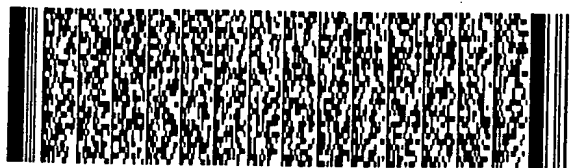
五、發明說明 (5)

便可利用該阻抗元件來有效降低各該驅動積體電路晶片之輸入電壓的差值，以避免各該訊號線上的電壓變化影響液晶顯示面板的顯示品質，進而可提昇液晶顯示面板的畫面顯示品質。

發明之詳細說明

請參考圖四 (A)，圖四 (A)係為本發明之驅動電路之結構示意圖。如圖四 (A)所示，一液晶顯示面板 40 包含有一基板 42 以及一驅動電路 44 設於基板 42 上，而驅動電路 44 至少包含有驅動積體電路晶片 46a 與 46b、以及金屬線 48a、48b 與 50。其中，驅動積體電路晶片 46a 與 46b 是利用玻璃覆晶封裝技術直接設置於基板 42 上，用來輸出開關 / 定址訊號輸出至各掃描線 (未顯示)，而金屬線 48a、48b 與 50 係用來連接驅動積體電路晶片 46a 與 46b。此外，驅動電路 44 另包含有透明導電層 52a 與 52b，透明導電層 52a 係連接於金屬線 48a、50 與驅動積體電路晶片 46a 之間，而透明導電層 52b 則是連接於金屬線 48b、50 與驅動積體電路晶片 46b 之間。並且，本發明還可藉由調配各透明導電層 52a 與 52b 的尺寸大小，以調整各透明導電層 52a 與 52b 的電阻值，進而可使各驅動積體電路晶片 46a 與 46b 的輸入電壓約略相同。

請參考圖四 (B)，圖四 (B)係為圖四 (A)所示之驅動電



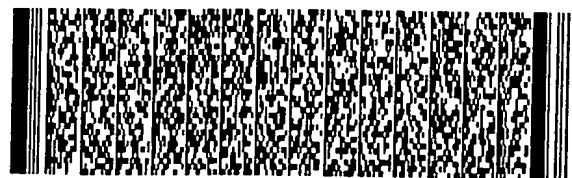
五、發明說明 (6)

路的等效電路圖。如圖四 (B)所示，一等效電路 60 包含有驅動積體電路晶片 46a 與 46b、以及一阻抗元件 62，用來連接驅動積體電路晶片 46a 與 46b，而阻抗元件 62 係由一電容器 (capacitor) 62a 與一電阻器 62b 並聯而成，且電容器 62a 係對應於圖四 (A) 所示之金屬線 48a 與 48b，而電阻器 62b 則是對應於圖四 (A) 所示之金屬線 50。此外，阻抗元件 62 的等效阻抗 (Z) 係可表示如下：

$$Z = R / (1 + j\omega RC) \quad (1)$$

其中，C 係為電容器 62a 的電容值，R 係為電阻器 62b 的電阻值，j 係為虛數單位 (imaginary unit, $j = \sqrt{-1}$)，而 ω 係為角頻率。而如方程式 (1) 所示，當 ω 越大時，則等效阻抗 (Z) 越小，亦即通過阻抗元件 62 的電流的角頻率越大，則阻抗元件 62 的等效阻抗 (Z) 越小。

如圖一所示，由於各掃描線 $S_1 \sim S_n$ 與各訊號線 $D_1 \sim D_n$ 之間均具有寄生電容，因此當各訊號線 $D_1 \sim D_n$ 上的輸入電壓產生變化時，各訊號線 $D_1 \sim D_n$ 上的電壓變化將會經由各寄生電容耦合至各掃描線 $S_1 \sim S_n$ 上，因而對控制訊號 28 產生干擾，而使控制訊號 28 的電流同時具有直流與交流的情形 (如圖二所示)。而由於本發明係利用電容器 62a 與電阻器 62b 並聯的阻抗元件 62 來連接驅動積體電路晶片 46a 與 46b，因此若控制訊號 28 (或 54) 的電流產生類似交流的情形時，阻抗元

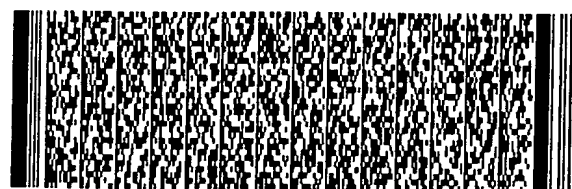


五、發明說明 (7)

件 62 內的電容器 62a 可用來消弭該交流情形，亦即當控制訊號 28 (或 54) 的電流的角頻率越高，則阻抗元件 62 的等效阻抗 (Z) 越小，因而減少阻抗元件 62 上的壓降，進而可降低驅動積體電路晶片 46a 與 46b 之輸入電壓的差值，因此本發明可避免各訊號線 (未顯示) 上的電壓變化影響液晶顯示面板 40 的顯示品質。

請參考圖五至圖六 (B)，圖五至圖六 (B) 係為本發明之電容器與電阻器之結構示意圖，其中圖五係為圖四 (A) 沿切線 5-5' 之剖面示意圖，而圖六 (A) 與圖六 (B) 係為圖四 (A) 沿切線 6-6' 之剖面示意圖。如圖五所示，基板 42 上設有金屬層 48a 與 48b、一絕緣層 49 設於金屬層 48a 與 48b 之間、以及一保護層 51 設於金屬層 48a 之上。其中，絕緣層 49 與保護層 51 的材料係包含有氮化矽或氧化矽，而金屬層 48a 與 48b、以及介於金屬層 48a 與 48b 之間的絕緣層 49 係形成一電容器，該電容器係對應於圖四 (B) 所示之電容器 62a。

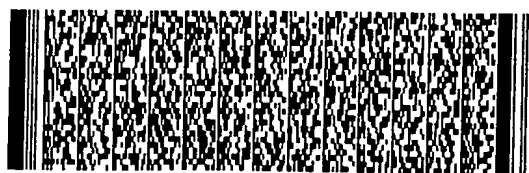
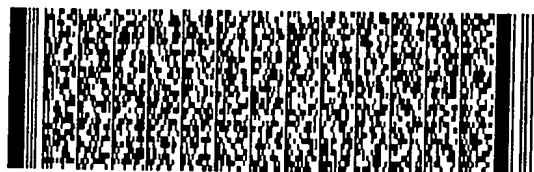
此外，基板 42 上另設有驅動積體電路晶片 46a 與 46b、以及透明導電層 52a 與 52b，而透明導電層 52a 係位於驅動積體電路晶片 46a 與金屬層 48a 之間，且金屬層 48a 係經由一接觸插塞 53a 連接至透明導電層 52a，而驅動積體電路晶片 46a 則是經由一凸塊結構 (gold bump) 55a 連接至透明導電層 52a 上。相同地，透明導電層 52b 係位於驅動積體電路



五、發明說明 (8)

晶片 46b 與金屬層 48b 之間，且金屬層 48b 經由一接觸插塞 53b 連接至透明導電層 52b，而驅動積體電路晶片 46b 則是經由一凸塊結構 55b 連接至透明導電層 52b 上。其中，透明導電層 52a 與 52b 係皆為氧化銦錫 (indium tin oxide, ITO)，而金屬層 48b 可與各掃描線 (未顯示) 形成於同一製程中，且金屬層 48a 可與各訊號線 (未顯示) 形成於同一製程中。

如圖六 (A) 所示，基板 42 上設有一絕緣層 49、一金屬層 50 設於絕緣層 49 之上、以及一保護層 51 設於金屬層 50 之上。其中，絕緣層 49 與保護層 51 的材料係包含有氮化矽或氧化矽，而金屬層 50 係形成圖四 (B) 所示之電阻器 62b。此外，基板 42 上另包含有驅動積體電路晶片 46a 與 46b、以及透明導電層 52a 與 52b，透明導電層 52a 係位於驅動積體電路晶片 46a 與金屬層 50 之間，且金屬層 50 經由一接觸插塞 56a 連接至透明導電層 52a，而驅動積體電路晶片 46a 則是經由一凸塊結構 55a 連接至透明導電層 52a 上。相同地，透明導電層 52b 則是位於驅動積體電路晶片 46b 與金屬層 50 之間，且金屬層 50 經由一接觸插塞 56b 連接至透明導電層 52b，而驅動積體電路晶片 46b 則是經由一凸塊結構 55b 連接至透明導電層 52b 上。其中，透明導電層 52a 與 52b 係皆為氧化銦錫，而金屬層 50 可與各訊號線 (未顯示) 形成於同一製程中。此外，在本發明之其他實施例中，金屬層 50 亦可與各掃描線 (未顯示) 同時製作。



五、發明說明 (9)

然而本發明之電阻器的結構並不限於圖六(A)所示，圖六(B)則為本發明之另一實施例的電阻器結構示意圖。如圖六(B)所示，基板42上設有金屬層50、一絕緣層49、以及一保護層51覆蓋於金屬層50與絕緣層49之上，而金屬層50包含有金屬層50a與50b，且絕緣層49係形成於金屬層50a與50b之間。其中，絕緣層49與保護層51的材料係包含有氮化矽或氧化矽，而金屬層50係對應於圖四(B)所示之電阻器62b。此外，基板42上另包含有驅動積體電路晶片46a與46b、以及透明導電層52a與52b，金屬層50a與50b分別經由一接觸插塞58a連接至透明導電層52a，而驅動積體電路晶片46a則是經由一凸塊結構55a連接至透明導電層52a上。相同地，金屬層50a與50b分別經由一接觸插塞58b連接至透明導電層52b，而驅動積體電路晶片46b則是經由一凸塊結構55b連接至透明導電層52b上。其中，透明導電層52a與52b係皆為氧化銦錫，而金屬層50b可與各掃描線(未顯示)形成於同一製程中，且金屬層50a可與各訊號線(未顯示)形成於同一製程中。

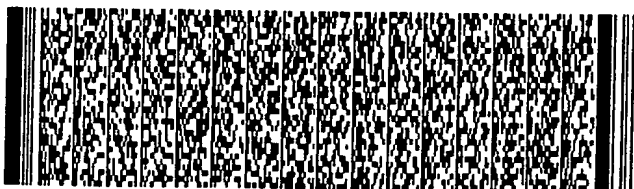
以上所述之驅動電路係用來輸出開關/定址訊號輸出至各掃描線(未顯示)，然而，本發明並不限於此，本發明亦可應用在輸出影像資料訊號至各訊號線(未顯示)的驅動電路上，此應為熟知此項技藝者所熟知。



五、發明說明 (10)

相較於習知技術，本發明係利用一阻抗元件電連接於各該驅動積體電路晶片之間，且該阻抗元件係由一電阻器與一電容器並聯而成。因此，當各該訊號線上的電壓變化使一控制訊號的電流產生類似交流的情形時，該阻抗元件內的電容器可用來消弭該交流情形。本發明不僅可降低該阻抗元件上的壓降，更可有效降低各該驅動積體電路晶片之輸入電壓的差值，避免各該訊號線上的電壓變化影響液晶顯示面板的顯示品質，進而可提昇液晶顯示面板的畫面顯示品質。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一係為一液晶顯示面板的結構示意圖。

圖二係為圖一所示之驅動電路的等效電路圖。

圖三係為圖一所示之控制訊號的電流與時間關係圖。

圖四(A)係為本發明之驅動電路之結構示意圖。

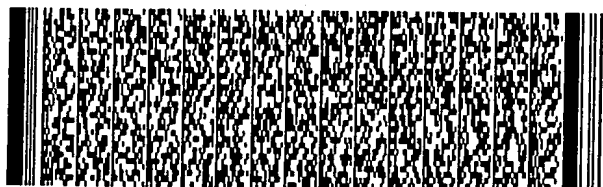
圖四(B)係為圖四(A)所示之驅動電路的等效電路圖。

圖五係為圖四(A)沿切線 5-5' 之剖面示意圖。

圖六(A)與圖六(B)係為圖四(A)沿切線 6-6' 之剖面示意圖。

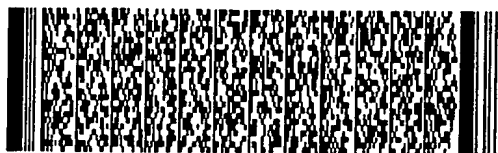
圖示之符號說明

10、40	液晶顯示面板
12、42	基板
14	X軸印刷電路基板
16	捲帶式封裝體
18	主動區域
20	端子壓著區
22、44	驅動電路
24	導線
22a、22b、22c、46a、46b	驅動積體電路晶片
26	交會處
28、54	控制訊號



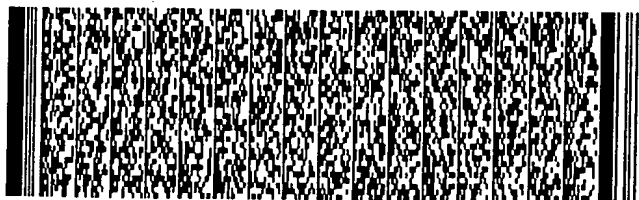
圖式簡單說明

30、60	等效電路
32a、32b、62b	電阻器
48a、48b、50、50a、50b	金屬線
49	絕緣層
51	保護層
52a、52b	透明導電層
53a、53b	接觸插塞
55a、55b	凸塊結構
56a、56b	接觸插塞
58a、58b	接觸插塞
62	阻抗元件
62a	電容器



六、申請專利範圍

1. 一種液晶顯示器之驅動電路，其包含有：
一基板；
至少二個驅動積體電路晶片 (driver IC chip) 設於該基板上；以及
一阻抗元件 (impedance device)，電連接於該等驅動積體電路晶片之間，用來降低各該驅動積體電路晶片之輸入電壓 (input voltage) 的差值。
2. 如申請專利範圍第 1 項之驅動電路，其中該基板上另設有複數條掃描線 (scan line) 與複數條訊號線 (signal line)。
3. 如申請專利範圍第 2 項之驅動電路，其中該等驅動積體電路晶片係用來輸出一開關 / 定址訊號至各該掃描線。
4. 如申請專利範圍第 2 項之驅動電路，其中該等驅動積體電路晶片係用來輸出一影像資料訊號至各該訊號線。
5. 如申請專利範圍第 2 項之驅動電路，其中該阻抗元件係由一電阻器 (resistor) 與一電容器 (capacitor) 並聯而成。
6. 如申請專利範圍第 2 項之驅動電路，其中該基板上包含有一第一金屬層、一第二金屬層、以及一絕緣層設於該



六、申請專利範圍

第一金屬層與該第二金屬層之間。

7. 如申請專利範圍第6項之驅動電路，其中該電阻器係由至少一第一金屬線所構成。

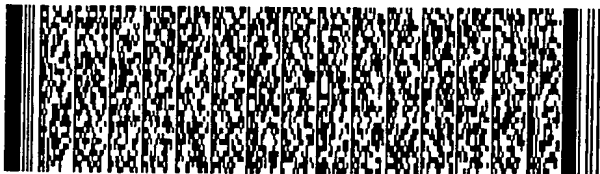
8. 如申請專利範圍第7項之驅動電路，其中該第一金屬線與各該掃描線係位於該第一金屬層內。

9. 如申請專利範圍第7項之驅動電路，其中該第一金屬線與各該訊號線係位於該第二金屬層內。

10. 如申請專利範圍第6項之驅動電路，其中各該掃描線係位於該第一金屬層內，而各該訊號線係位於該第二金屬層內。

11. 如申請專利範圍第10項之驅動電路，其中該電容器係由一位於該第一金屬層內之第二金屬線、一位於該第二金屬層內之第三金屬線、以及該第二金屬線與該第三金屬線之間的該絕緣層所構成。

12. 如申請專利範圍第1項之驅動電路，其中各該驅動積體電路晶片上與該阻抗元件之間設有一透明導電層，而各該透明導電層係用來使各該驅動積體電路晶片獲得一約略相同之輸入電壓。



六、申請專利範圍

13. 如申請專利範圍第 1 項之驅動電路，其中該液晶顯示器係為一 WOA(wiring on board)設計之液晶顯示器，且該驅動電路係用來驅動該液晶顯示器之液晶顯示面板。

14. 一種液晶顯示器，其包含有：

一第一基板；

一第二基板，其係與該第一基板平行相對，且該第二基板上包含有複數個矩陣排列之像素(pixel)；以及

一驅動電路設於該第二基板上，用來輸出訊號至各該像素，且該驅動電路包含有：

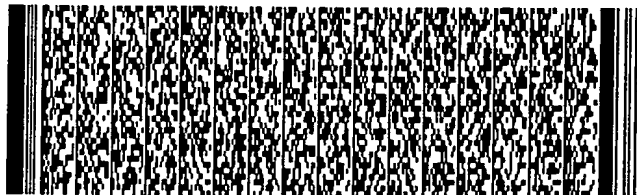
至少二個驅動積體電路晶片；以及

一阻抗元件，電連接於該等驅動積體電路晶片之間，且該阻抗元件係由一電阻器與一電容器並聯而成，用來降低各該驅動積體電路晶片之輸入電壓的差值。

15. 如申請專利範圍第 14 項之驅動電路，其中該驅動電路係為一掃描線驅動電路(scan line driving circuit)。

16. 如申請專利範圍第 14 項之驅動電路，其中該驅動電路係為一訊號線驅動電路(signal line driving circuit)。

17. 如申請專利範圍第 14 項之驅動電路，其中該電阻器係



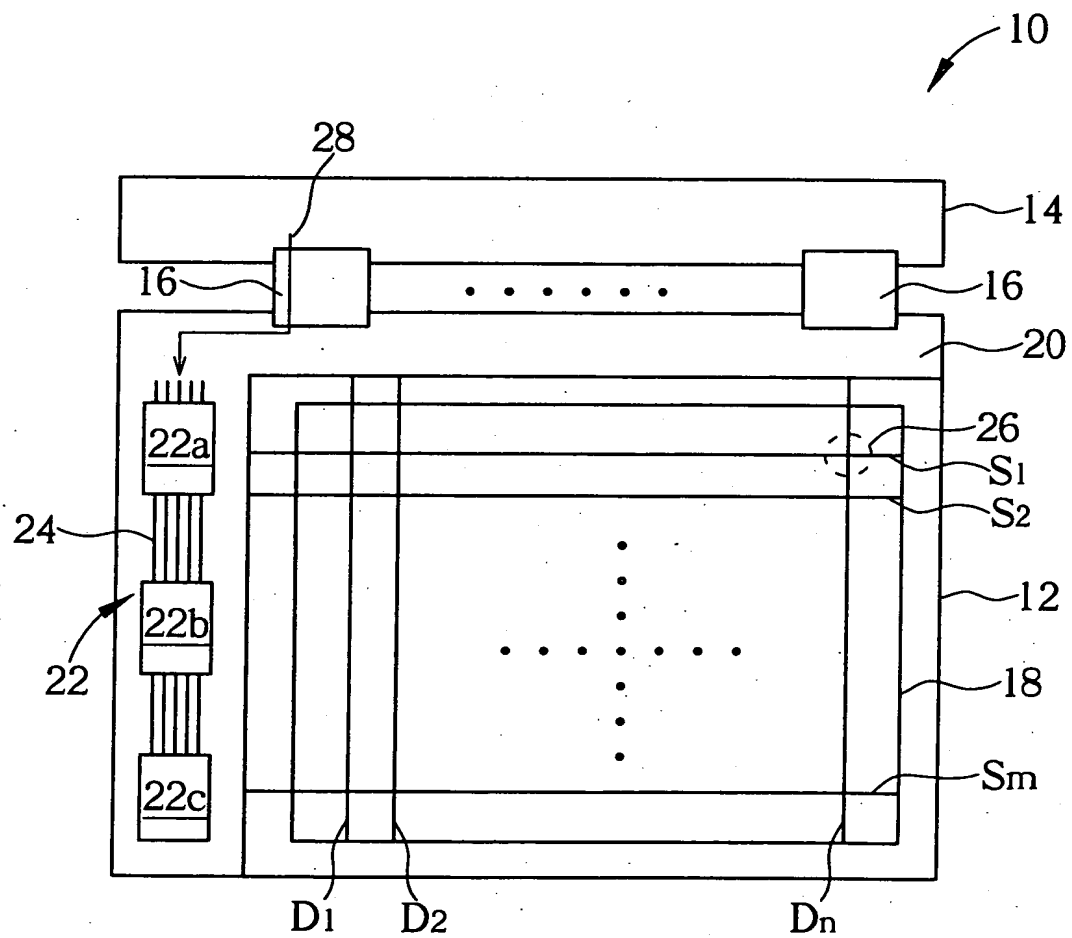
六、申請專利範圍

由至少一第一金屬線所構成。

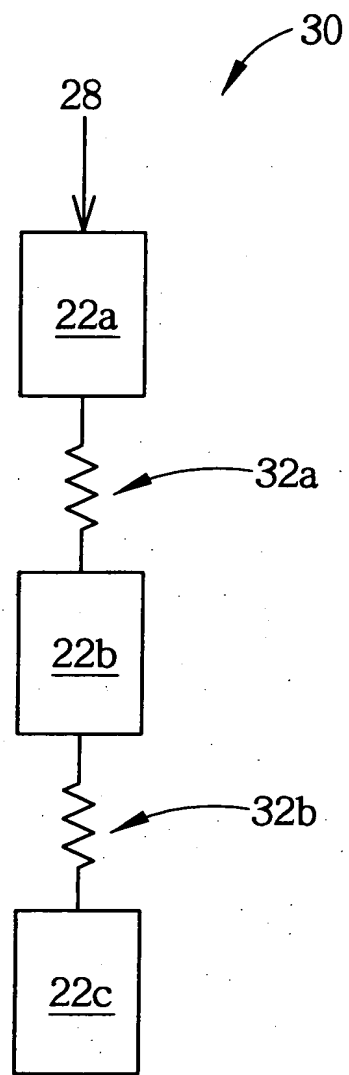
18. 如申請專利範圍第14項之驅動電路，其中該電容器係由一第二金屬線、一第三金屬線、以及該第二金屬線與該第三金屬線之間的一絕緣層所構成。

19. 如申請專利範圍第14項之驅動電路，其中各該驅動積體電路晶片上與該阻抗元件之間設有一透明導電層，而各該透明導電層係用來使各該驅動積體電路晶片獲得一約略相同之輸入電壓。

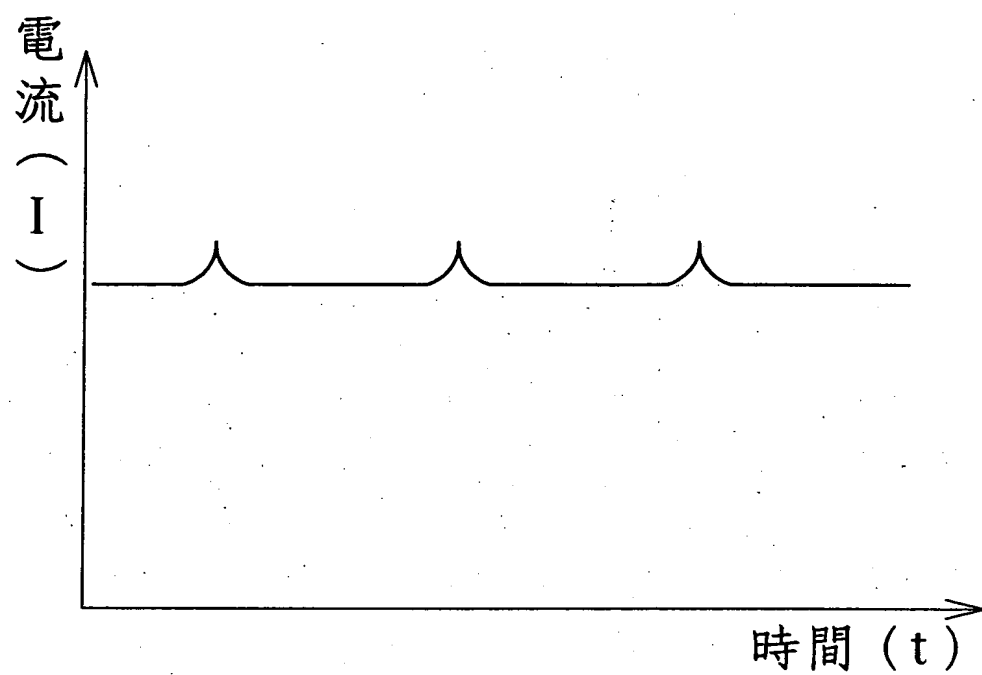




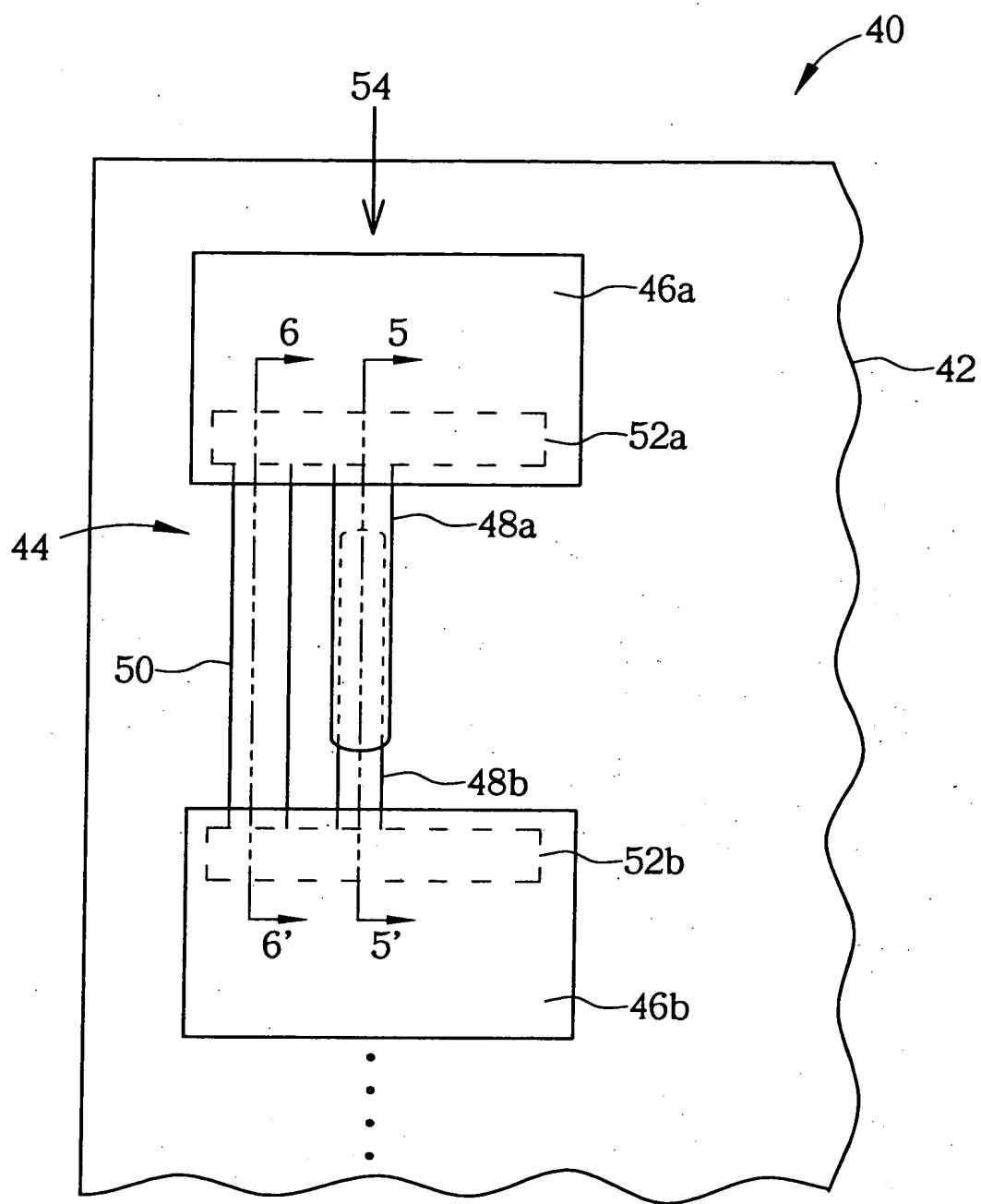
圖一



圖二



圖三



圖四A

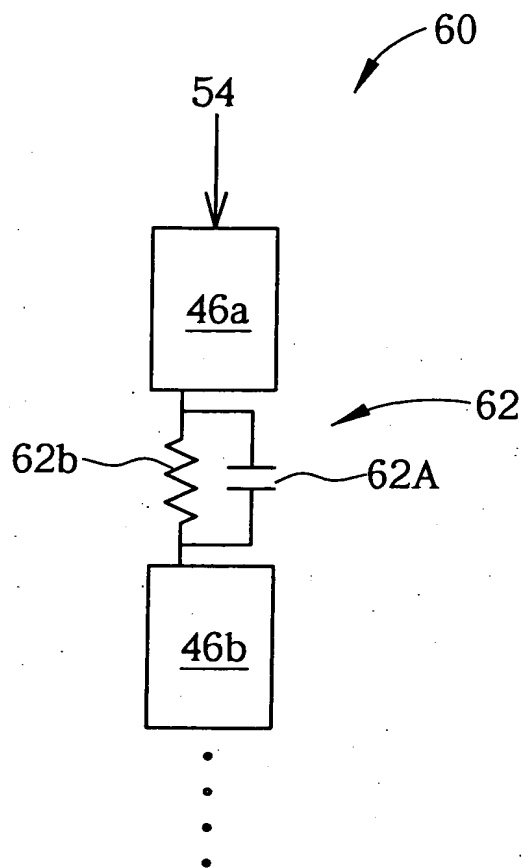
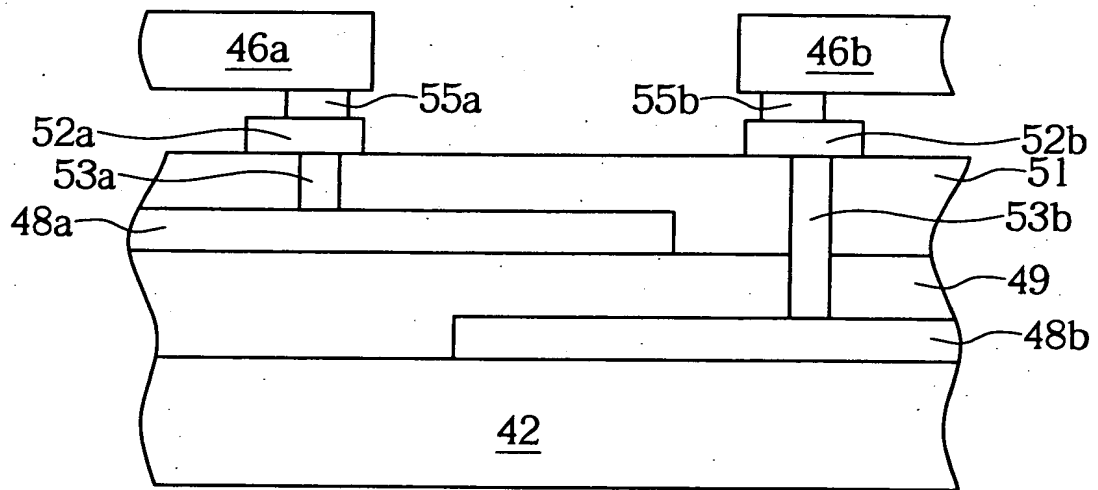
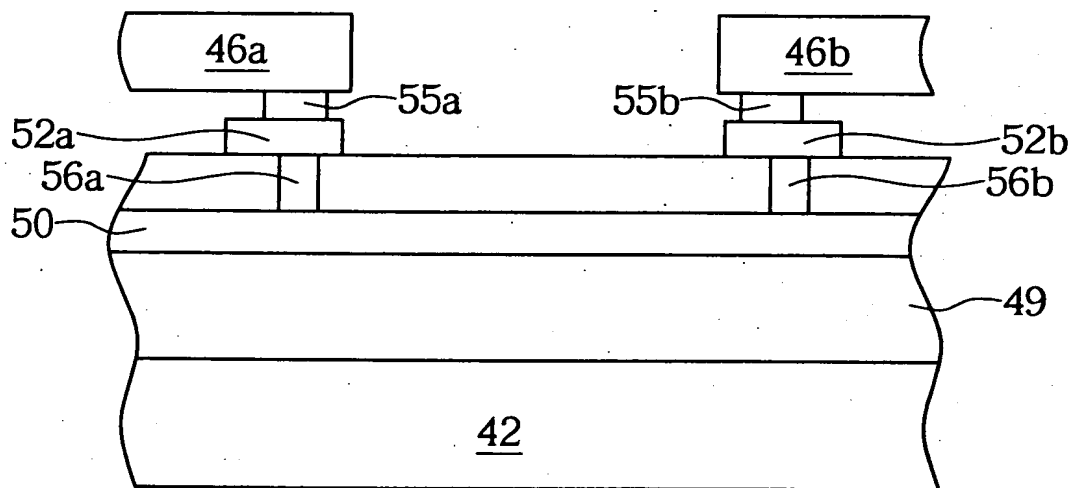


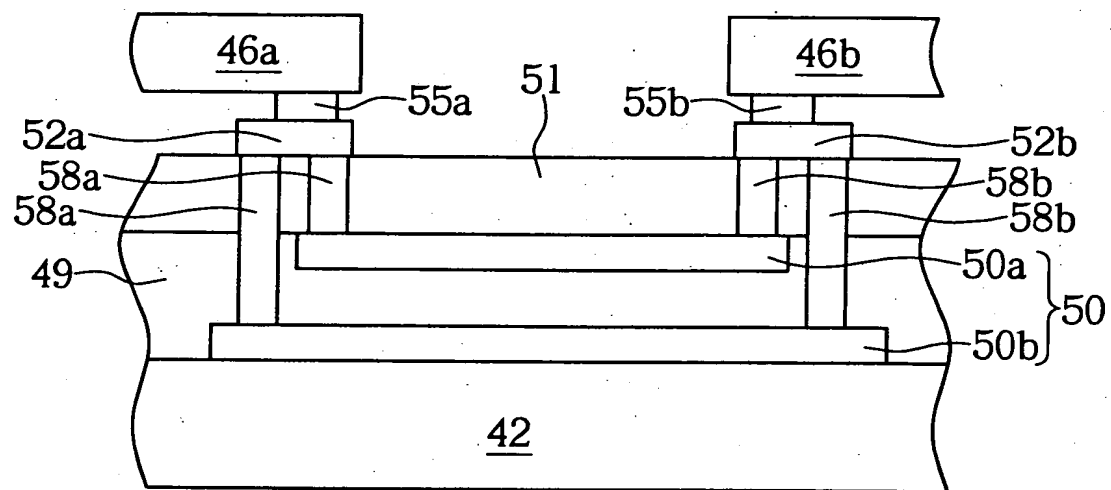
圖 四 B



圖五

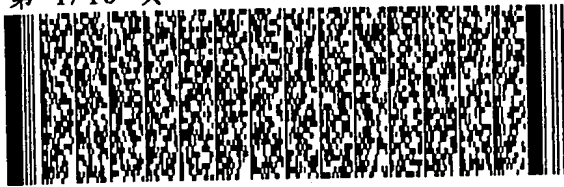


圖六A

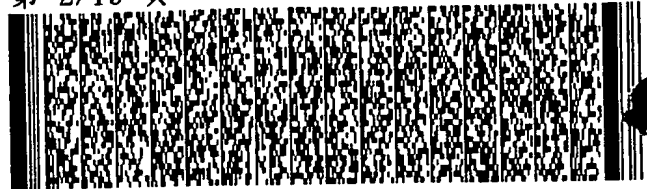


圖六B

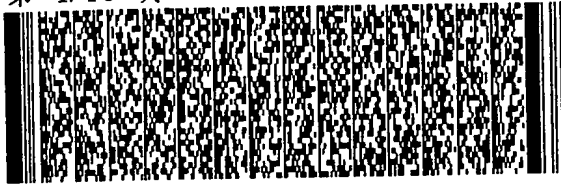
第 1/19 頁



第 2/19 頁



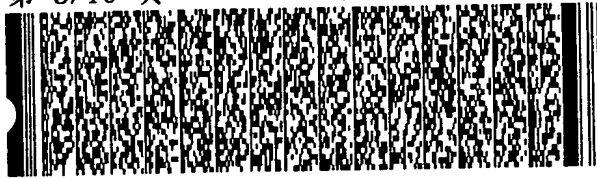
第 4/19 頁



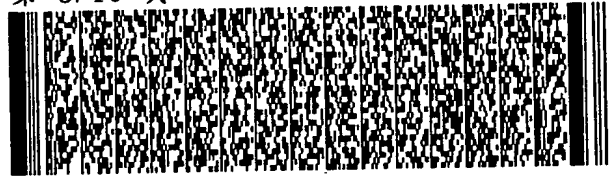
第 4/19 頁



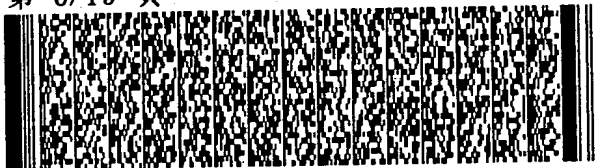
第 5/19 頁



第 5/19 頁



第 6/19 頁



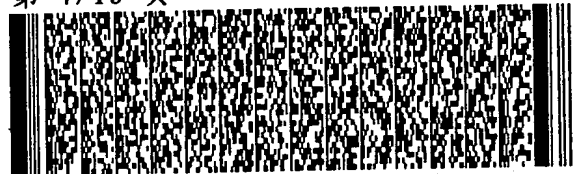
第 6/19 頁



第 7/19 頁



第 7/19 頁



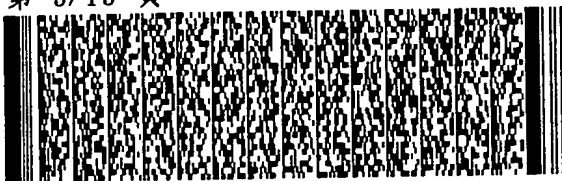
第 8/19 頁



第 8/19 頁



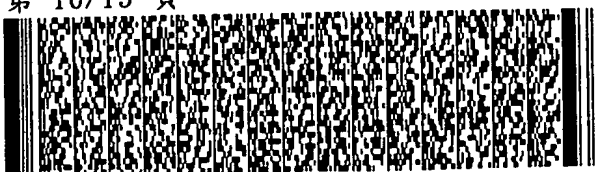
第 9/19 頁



第 9/19 頁



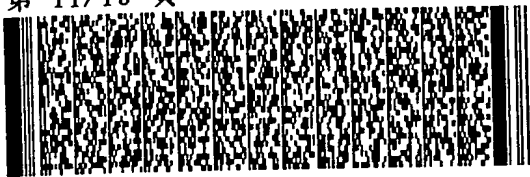
第 10/19 頁



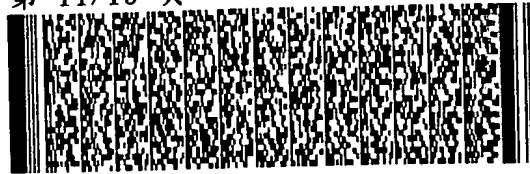
第 10/19 頁



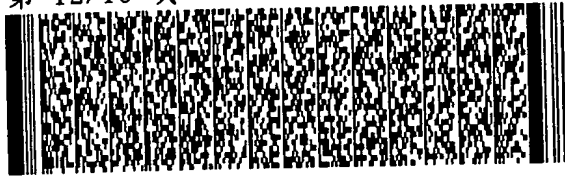
第 11/19 頁



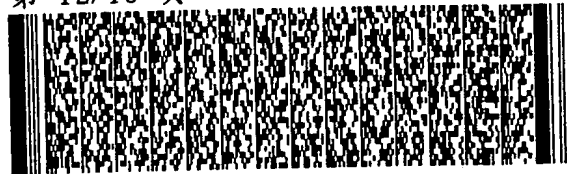
第 11/19 頁



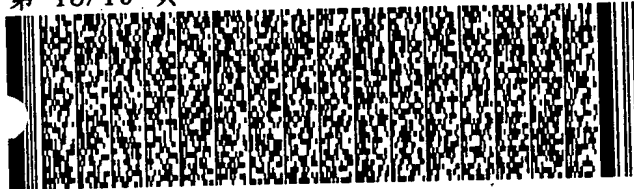
第 12/19 頁



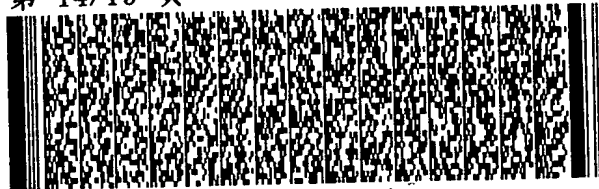
第 12/19 頁



第 13/19 頁



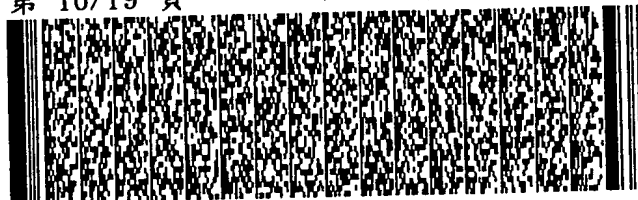
第 14/19 頁



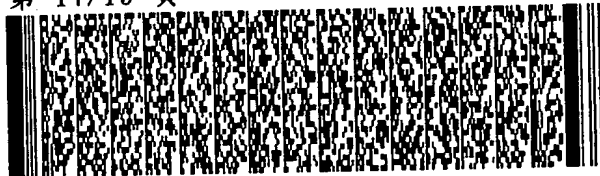
第 15/19 頁



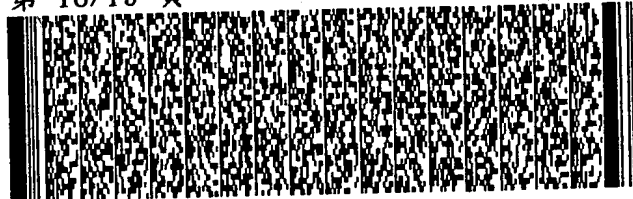
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

